

ІННОВАЦІЙНІ МЕТОДИ І СПОСОБИ ВИГОТОВЛЕННЯ АНАЛОГОВО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ

Вінницький національний технічний університет

Анотація.

Розглянуто інноваційні методи та способи виготовлення аналого-цифрових перетворювачів, які мають велике значення для різноманітних застосувань, включаючи сенсорні системи в смартфонах, високошвидкісні аналого-цифрові перетворювачі на основі КМОП-технології, малопотужні КМОП-динамічні компаратори, оптичні аналого-цифрові перетворювачі та аналого-цифрові перетворювачі флеш-пам'яті.

Ключові слова: Аналого-цифровий перетворювач, КМОП-технології, динамічний компаратор, двійковий код, енергоспоживання.

Abstract.

Innovative methods and techniques for manufacturing analog-to-digital converters, which are of great importance for a variety of applications, including sensor systems in smartphones, high-speed analog-to-digital converters based on CMOS technology, low-power CMOS dynamic comparators, optical analog-to-digital converters, and flash memory analog-to-digital converters, are reviewed.

Keywords: Analog-to-digital converter, CMOS technology, dynamic comparator, binary code, power consumption.

Вступ

Сьогодні використання цифрових сигнальних процесорів (ЦСП) у різних галузях електроніки, включаючи телекомунікаційні системи, різко зросло завдяки низькому енергоспоживанню та високій точності цих процесорів. І навпаки, враховуючи, що в більшості систем вхідні та вихідні сигнали є аналоговими, зросла потреба в аналого-цифрових (АЦП) та цифро-аналогових (ЦАП) перетворювачах з високою швидкістю та точністю. Удосконалення процесів виробництва інтегральних схем (ІС) полегшує досягнення цих цілей, але в той же час приносить з собою нові проблеми, з яких найбільш помітною є зниження напруги живлення. На додаток до спроб збільшити швидкість і точність перетворювачів, зменшення енергоспоживання є одним з питань, що розглядаються при розробці схем АЦП.

Інноваційний аналого-цифровий перетворювач з регістром послідовного наближення для дев'ятикоординатної сенсорної системи

З дев'ятикоординатними сенсорними системами в смартфонах 5G енергоспоживання мобільних пристроїв стає все більш важливим [1], а наднизькопотужні (ULP) сенсорні схеми можуть зменшити енергоспоживання до десятків мікват. Цей інноваційний аналого-цифровий перетворювач з регістром послідовного наближення, який складається з ємнісного цифро-аналогового перетворювача (ЦАП) з точним (три старші біти (MSB) плюс перетворення курсу (11 молодших бітів (LSB)), наднизьким енергоспоживанням (ULP), чотирирежимною реконфігурованою роздільною здатністю (9, 10, 11, 12 біт), або 12 біт), внутрішньо генерований тактовий генератор, метавизначення, середня напруга бази перемикачів (Вм) (SW-B-M), логіка керування бітами, багатофазна логіка керування, логіка керування перемикачів (три MSB) плюс перетворення курсу (11 LSB), логіка керування фазою, а також генератор напруги вхідного сигналу плюс негативна напруга (VI + NEG). Потім застосовується механізм калібрування на основі дискретного перетворення Фур'є (ДПФ). Використовується техніка масштабованої напруги, а аналогово-цифрова напруга - V_{analog} (1,5 В) і $V_{digital}$ (0,9 В), щоб

відповідати специфікаціям дев'ятикоординатної системи вимірювання ULP. ЦАПи можуть переналаштовувати чотирирежимну роздільну здатність, 9-12 біт, для використання в дев'ятикоординатних датчиках. Відповідні динамічні показники відношення сигнал/шум і спотворення склали 50,78, 58,53, 62,42 і 66,51 дБ. У 12-бітному режимі енергоспоживання АЦП становило приблизно 2,7 мВт, а відповідний коефіцієнт корисної дії (FoM) - приблизно 30,5 фДж для кожного кроку перетворення.

Проектування 10-розрядних конвеєрних аналого-цифрових перетворювачів на основі КМОП-технології 0,18 мкм

Нова структура для проектування конвеєрного аналого-цифрового перетворювача [2] зі швидкістю 100 Мс/с на основі КМОП-технології TSMC 0,18 мкм. Завдяки цій структурі ми витягували первинні біти з вхідного сигналу безпосередньо в першому блоці, і дискретизація також проводилася в той самий час. У цій новій структурі, яку було використано для реалізації аналого-цифрового перетворювача (АЦП), перші 3 біти витягуються одночасно з дискретизацією. Результати моделювання показують, що відношення сигнал/шум для входу 10 МГц становить 54,4 дБ, а загальне енергоспоживання при напрузі живлення 1,8 В - 19,7 мВт.

Метою цієї конструкції є підвищення швидкості. У цій структурі є підсилювач, а також схема вибірки та утримання між блоками кожного каскаду. В кінці кожного циклу частина цифрового вихідного коду виділяється, а додатковий сигнал передається в наступний блок. Швидкість цієї структури не залежить від кількості використовуваних ступенів.

Аналого-цифровий перетворювач з нерівномірною дискретизацією на основі мемристивної нейронної мережі

4-розрядний аналого-цифровий перетворювач [3] (АЦП) з нерівномірною дискретизацією (НРД) на основі мемристичної нейронної мережі з покращеними характеристиками швидкості, потужності, площі та точності, а також компромісом між швидкістю, потужністю, площею та точністю. Його конструкція зберігає калібрування мемристивної нейронної мережі та використовує вагу мемратора, що навчається, для адаптації до невідповідності пристрою та підвищення точності. Замість звичайного двійкового пошуку застосовується четвертинний пошук в АЦП для реалізації визначення грубих і тонких бітів архітектури підранжування. Нерівномірна дискретизація, що перетинає рівень, введена в АЦП для покращення ENOB при тій же роздільній здатності, енергоспоживанні та площі, що і в попередніх моделях. Площа та енергоспоживання зменшуються за рахунок розподілу схеми між різними стадіями визначення бітів. 4-розрядний АЦП досягає найвищого ENOB 5,96 та 5,6 на частоті зрізу (128 Гц) при енергоспоживанні 0,515 мВт. Оптимальні рішення для вирішення компромісу швидкості, потужності та точності АЦП, вказані на рисунку 1.

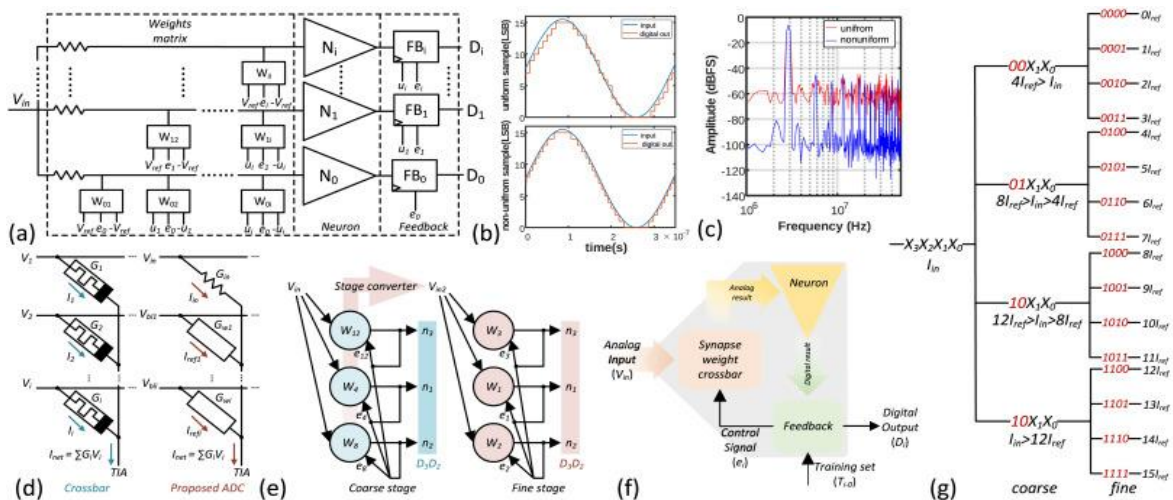


Рисунок 1. (а) Конвеєрний АЦП з двійковою пошуковою структурою ШНМ. (б) Цифровий вихід в часовій області ідеального рівномірного та нерівномірного 4-х розрядного АЦП. (в) Спектр ідеальної

рівномірної дискретизації та нерівномірної дискретизації 4-х бітного АЦП, де нерівномірна дискретизація має нижчий рівень шуму, ніж рівномірна (г) Мемристорна хрестовина (д) Нейронна мережа запропонованої моделі зі зв'язком між кожною вагою, та входами. (ф) Загальна структура ШНМ запропонованого АЦП. (г) Механізм четвертинного пошуку з усіма можливими комбінаціями для 4-бітового АЦП.

Даний аналого-цифровий перетворювач:

1. зберігає структуру на основі мемристорів та калібрування штучної нейронної мережі (ШНМ), що навчається, для зменшення неточності, спричиненої неузгодженістю пристрою, та робить схему регульованою для адаптації до змін навколишнього середовища,

2. впроваджує спільне використання мемристорів та схем шляхом підпорядкування архітектури АЦП для покращення енергоефективності та площі,

3. використовує четвертинний пошук для пришвидшення процесу визначення бітів АЦП,

4. досягає високих значень коефіцієнту запам'ятовування та середньоквадратичного відхилення (СКО) АЦП за тієї ж роздільної здатності, а також площі та енергоспоживання за рахунок нерівномірності вибірки. Така конструкція здатна мати достатню калібрувальну здатність серед різних невідповідностей пристроїв і мати стабільну роботу в широкому діапазоні вхідних частот.

Даний АЦП є лише одним з локально оптимальних варіантів компромісу між швидкістю, потужністю, точністю та площею. Однак у конструкції АЦП пріоритетами є потужність, точність і площа, а швидкість ставиться на останнє місце. Таким чином, швидкісні характеристики були більш-менш принесені в жертву. З більшою потужністю і площею в поєднанні з новітніми технологіями, така архітектура може бути оптимізована до вищої швидкості і навіть з кращою КФЧХ.

Малопотужний КМОП -динамічний компаратор з низьким зміщенням для аналого-цифрових перетворювачів

На загальну продуктивність АЦП швидкість і енергоспоживання компаратора мають значний вплив завдяки величезній кількості порівнянь в АЦП. Швидкість АЦП є головною проблемою для високошвидкісної цифрової системи, а швидкість компаратора є ключовим фактором. Для компаратора важливо мати низьке зміщення, високу швидкість з оптимальною потужністю.

В літературі було запропоновано кілька підходів, які розглядаються або як диференціальна архітектура, або як архітектура з подвійним хвостом, де напруга зсуву зміщується від 7 мВ до 150 мВ. У 2000-х роках було запропоновано декілька динамічних компараторів, які можна застосувати до АЦП, але їхні характеристики з точки зору напруги зсуву, швидкодії та енергоспоживання були незадовільними. Для зменшення енергоспоживання та підвищення швидкодії компараторів у 2014 році запропоновано динамічні компаратори. Порівняно з попередніми конструкціями, напруга зсуву зменшена більш ніж у десять разів, але вона все ще велика і не може бути використана у сценаріях з високою роздільною здатністю. Однак такі компаратори зазвичай мають порівняно велику напругу зсуву порівняно з більш досконалими компараторами. З'являються нові спроби покращити напругу зсуву динамічних компараторів. У 2018 році було запропоновано динамічний компаратор, який не тільки має високу робочу швидкість 1G, але й додатково зменшує напругу зміщення та покращує його точнісні характеристики. У 2019 році запропоновано схему з низькою напругою живлення при збереженні того ж рівня напруги зміщення. Зважаючи на це, новий динамічний компаратор з фіксацією [4] здатен забезпечити високу швидкодію, споживає мало енергії та має низьку напругу зміщення. Компаратор було перевірено на прикладі 12-розрядного SAR АЦП (аналого-цифровий перетворювач з послідовним регістром наближення та перерозподілом заряду). Компаратор складається з двокаскадного попереднього підсилювача і StrongLatch. Попередній підсилювач використовує вхідну пару на основі інвертора і пару емностей у вихідному каскаді для зменшення шуму. Напруга зсуву значно зменшується порівняно зі звичайним динамічним компаратором з фіксацією. Схему динамічного компаратора розроблено і змодельовано за допомогою 28 нм КМОП технології. Результати показують, що компаратор має швидкодію 2,37 нс і споживає лише 426,6 мкВт при напрузі живлення 1,8 В і тактовій частоті 330 МГц.

Інтегрований 3-розрядний повністю оптичний аналого-цифровий перетворювач на основі фотонного кристалічного напівпровідникового оптичного підсилювача

В роботі Moshfe S. Optics & Laser Technology [5] було розроблено інтегрований повністю оптичний 3-розрядний аналого-цифровий перетворювач (АО-АЦП). Сигнал зонду після проходження через 9-мікронну ФХС-СОА в присутності амплітудно-модульованого гауссівського імпульсу шириною 1,422 пс і максимальною енергією 37,2 фДж демонстрував зсув довжини хвилі на 4,8 нм. Вісім відповідним чином сконструйованих ФДП кодували чирпінг-сигнал у вісім рівнів квантування. Чисельні результати показують, що така структура може перетворювати аналогові фотонні сигнали в 3-розрядний цифровий вихід без пропусків коду на швидкості 10 Гбіт/с. Структура АО-АЦП з малою площею 455 мкм² та наднизьким енергоспоживанням може прокласти шлях для подальшого розвитку інтегрованих фотонних чіпів наступного покоління.

Калібрований аналого-цифровий перетворювач послідовного наближення з високою роздільною здатністю

16-розрядний аналого-цифровий перетворювач (АЦП) послідовного наближення з регістром 1-Msps зі схемою цифрового калібрування з розділеним АЦП [6] базується на динамічному узгодженні елементів. Багатосегментна конденсаторна батарея з надлишковими розрядами використовується для забезпечення калібрування помилок відсутнього рівня в цифровій області, що зменшує площу та енергоспоживання. Оптимізовано ключові модулі схеми, такі як малопотужний дворежимний каскадний компаратор і логіка керування динамічним узгодженням елементів. Прототип виготовлено за 0,18-мкм КМОП-технологією, він має коефіцієнт передачі Шрайєра (FoMs) 170,47 дБ, ефективну розрядність 15,04 біт (ENOB) та вільний динамічний діапазон 119,50 дБ (SFDR). Пікова диференціальна нелінійність (DNL) та інтегральна нелінійність (INL) становлять -0,422/0,536 LSB і -0,721/0,758 LSB відповідно.

У цьому дослідженні було розроблено 16-розрядний SAR АЦП зі швидкістю 1 Мбіт/с і реалізовано схему розділеного цифрового калібрування на основі динамічного узгодження одиниць. Напруга живлення в цій схемі становила 3,3 В, використовуючи 0,18-мкм КМОП. Підхід динамічного узгодження блоків був використаний для зменшення неузгодженості ємностей, тоді як метод розділеного цифрового калібрування був використаний для подальшого калібрування похибки схеми, що підвищило точність.

Проектування та реалізація аналого-цифрового перетворювача флеш-пам'яті

В дослідженні енергоефективного та високошвидкісного аналого-цифрового перетворювача для флеш-пам'яті [7] використовується динамічний компаратор з подвійним хвостом та ефективна схема кодування з низьким енергоспоживанням, призначена для надвисокочастотного діапазону (ГГц) для 5-розрядного аналого-цифрового перетворювача флеш-пам'яті. Адаптований компаратор має низьку напругу та високу частоту дискретизації. Вихідний блок компаратора, тобто блок перетворення термометричного коду в двійковий, є більш важливим, оскільки він споживає більше енергії і швидкість роботи схеми знижується. Блок кодера перетворює термометричний код в проміжний сірий код за допомогою об'єднаної техніки DCVSL і сірий код в двійковий код за допомогою логічного блоку Ex-OR.. Для підтримки низького розсіювання потужності при високій швидкості, реалізація енкодера є об'єднаною логікою DCVSLPG. Використані компаратор і енкодер реалізовано на інструменті CADENCE за 65-нм технологічним процесом з напругою живлення 0,8 В. За результатами моделювання флеш аналого-цифровий перетворювач має середнє енергоспоживання і затримку 16,33 мВт і 1,542 пс. Добуток потужності затримки (PDP) або коефіцієнт корисної дії (FOM) спалаху АЦП становить 25,18 фДж.

Висновки

Було розглянуто інноваційні методи та способи виготовлення аналого-цифрових перетворювачів, які мають велике значення для різноманітних застосувань, включаючи сенсорні системи в смартфонах, високошвидкісні аналого-цифрові перетворювачі на основі КМОП-технології, малопотужні КМОП -

динамічні компаратори, оптичні аналого-цифрові перетворювачі та аналого-цифрові перетворювачі флеш-пам'яті. Дослідження та розробки, представлені в цій роботі роблять значний внесок у розвиток аналого-цифрових перетворювачів і мають потенціал для подальшого вдосконалення технологій та застосувань.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Lin C. An Innovative Successive Approximation Register Analog-to-Digital Converter for a Nine-Axis Sensing System / C. Lin, K. Wen. // J. Low Power Electron. – 2021.
2. Rezapour A. A new approach for 10-bit pipeline analog-to-digital converter design based on 0.18 μm CMOS technology / A. Rezapour, M. T. Bagher, F. Setoudeh. // AEU - International Journal of Electronics and Communications. – 2019. – С. 299–314.
3. A subranging nonuniform sampling memristive neural network-based analog-to-digital converter / H. You, A. Amirali, J. Xu, R. A. Mostafa. // Memories - Materials, Devices, Circuits and Systems. – 2023. – №100038.
4. Huijing Y. A low offset low power CMOS dynamic comparator for analog to digital converters / Y. Huijing, L. Shichang, R. Mingyuan. // Integration. – 2023. – С. 136–143.
5. Moshfe S. Fully integrated 3-bit all-optical analog to digital converter based on photonic crystal semiconductor optical amplifier / S. Moshfe, K. Abedi, M. M. Kazem. // Optics & Laser Technology. – 2022. – №107773.
6. Chao C. High-resolution calibrated successive-approximation-register analog-to-digital converter / C. Chao, G. Haijun. // Integration. – 2022. – С. 205–210.
7. Kumre L. Design and Implementation of Flash Analog to digital Converter / L. Kumre, N. V. Ramesh. // Materials Today: Proceedings. – 2018. – С. 1104–1113.

***Ільчук Дмитро Русланович** – асистент кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, м. Вінниця, e-mail: demabels@gmail.com*

***Власюк Олександр Володимирович** – студент групи РТ-23МС факультет інформаційних електронних систем, Вінницький національний технічний університет, м. Вінниця, email: vlasiyk000@gmail.com*

***Ichuk Dmytro Ruslanovych** – assistant of the Department of Information Radio Electronic Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, e-mail: demabels@gmail.com*

***Vlasiuk Oleksandr Volodymyrovych.** – student, Faculty of Information Electronic Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine, e-mail: vlasiyk000@gmail.com*