

# ДОСЛІДЖЕННЯ ВПЛИВУ ЗАТРИМОК НА ПРОДУКТИВНІСТЬ ПОСЛІДОВНИХ ЦИФРОВИХ СХЕМ

Вінницький національний технічний університет

## Анотація

У цифрових системах затримки в послідовних схемах значно впливають на їх продуктивність, визначаючи швидкість обробки сигналів та загальну ефективність. Особливу увагу приділено джерелам затримок, таким як час поширення сигналу через логічні елементи, затримки синхронізації та тригерів. Порівняно синхронні та асинхронні схеми, їхні особливості в контексті швидкодії. Запропоновано методи зменшення затримок, що дозволяють підвищити ефективність роботи цифрових систем, зокрема через оптимізацію критичних шляхів, синхронізацію сигналів та застосування сучасних технологій.

**Ключові слова:** затримка, продуктивність, цифрові схеми, послідовні схеми, синхронізація, тактова частота

## Abstract

In digital systems, delays in sequential circuits have a significant impact on their performance, determining signal processing speed and overall efficiency. Particular attention is paid to the sources of delays, such as signal propagation time through logic elements, synchronisation delays, and triggers. Synchronous and asynchronous circuits are compared, their features in the context of performance. Methods of reducing delays are proposed to improve the efficiency of digital systems, in particular through the optimisation of critical paths, signal synchronisation and the use of modern technologies.

**Keywords:** latency, performance, digital circuits, sequential circuits, synchronisation, clock frequency

## Вступ

Послідовні цифрові схеми широко використовуються в сучасних обчислювальних системах та пристроях, де необхідно зберігати й обробляти дані синхронно. Проте їх продуктивність значною мірою залежить від затримок, які виникають у компонентах схеми. Основними джерелами затримок є час поширення сигналу через логічні елементи, затримки синхронізації тригерів та тактові імпульси. Розуміння природи цих затримок та їх впливу на продуктивність є важливим для оптимізації сучасних цифрових систем.

## Результати дослідження

У ході дослідження було розглянуто причини затримок у послідовних схемах та пошук шляхів їх мінімізації для підвищення ефективності роботи цифрових пристроїв.

Затримки в послідовних цифрових схемах виникають через низку факторів, пов'язаних із апаратними компонентами та архітектурою самої системи. Прикладами затримки є: збільшення часу поширення сигналу через логічні елементи (AND, OR, NOT, XOR тощо) [1, с. 174], затримки тригерів, синхронні та асинхронні затримки, тактові затримки. Розглянемо їх детальніше:

- Час поширення сигналу через логічні елементи: Комбінаційна логіка, яка є складовою частиною послідовних схем, має затримки, викликані поширенням сигналу через логічні елементи. Ці затримки впливають на швидкість зміни вихідного сигналу, знижуючи продуктивність системи.
- Затримки тригерів: Тригери, такі як JK, D або T [2], мають певний час перемикавання, що визначає їх затримку. Наприклад, JK-тригер з затримкою змінює свій стан лише після надходження відповідного сигналу, що може призводити до затримок у складних системах.
- Синхронні та асинхронні затримки:
  - Синхронні послідовні схеми: Використовують тактові сигнали для синхронізації роботи, але обмежуються затримками поширення сигналу та шириною імпульсу. Це робить їх дещо повільнішими, але стабільнішими у роботі.
  - Асинхронні послідовні схеми: Не залежать від тактових сигналів, тому можуть

працювати швидше, але менш стабільні через можливі проблеми з розсинхронізацією сигналів.

- Тактові затримки: Тактові затримки виникають через час, який потрібен для поширення тактового сигналу через всю схему. Генератор тактових імпульсів відповідає за синхронізацію всіх компонентів цифрової схеми, забезпечуючи однакову фазу для всіх тактових сигналів. Однак якщо тактовий імпульс не досягає певних частин схеми вчасно, можуть виникати помилки синхронізації. Це може привести до того, що дані будуть сприйняті або оброблені на неправильному тактовому циклі, що викликає невірні стани в елементах схеми.

Затримки в цифрових схемах призводять до обмеження швидкодії, помилок синхронізації та зниження функціональності. Затримки в критичних шляхах або між компонентами знижують максимальну тактову частоту, що обмежує швидкість обробки даних. Якщо тактовий сигнал не встигає досягти елементів схеми вчасно, можуть виникати помилки синхронізації, коли компоненти схеми неправильно сприймають вхідні сигнали. Це може призвести до логічних помилок або невірної обробки даних. Крім того, затримки можуть спричинити неправильну обробку сигналів, коли компоненти не встигають правильно реагувати на зміни, що знижує надійність і функціональність системи.

Таблиця. 1. Методи зменшення затримок

| Метод                        | Опис                                                                  | Переваги                           |
|------------------------------|-----------------------------------------------------------------------|------------------------------------|
| Оптимізація критичного шляху | Скорочення кількості логічних операцій у найбільш завантаженому шляху | Підвищення швидкодії               |
| Новітні технології           | Використання FPGA або ASIC із низькими затримками                     | Менші затримки, краща ефективність |
| Поділ схем                   | Розділення великих схем на підмодулі                                  | Покращення управління сигналами    |
| Синхронізація                | Вирівнювання фаз та централізоване управління тактовими імпульсами    | Зменшення логічних помилок         |

### Висновки

Було визначено основні джерела затримок у послідовних цифрових схемах та їх вплив на продуктивність. Встановлено, що затримки є критичним фактором, який обмежує тактову частоту та швидкість роботи системи. Запропоновано методи оптимізації, зокрема перепроєктування схем, використання сучасних технологій, мінімізацію затримок синхронізації та поділ складних схем на підсхеми. Застосування цих підходів дозволяє значно підвищити продуктивність послідовних цифрових систем, зменшити енергоспоживання та підвищити надійність роботи пристроїв.

### СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Моделювання та аналіз цифрових схем : підручник. Рівне, 2018. URL: <https://core.ac.uk/download/pdf/323530948.pdf> (дата звернення: 15.11.2024).
2. Послідовні схеми: типи та їх застосування. *fmuser*. URL: <https://uk.fmuser.net/wap/content/?18235.html> (дата звернення: 15.11.2024).

**Ішук Владислав Павлович** — студент групи РТ-23б, факультет інформаційних електронних систем, Вінницький національний технічний університет, Вінниця, e-mail: [vlad.ischuck2006@gmail.com](mailto:vlad.ischuck2006@gmail.com)

**Пінаєв Богдан Олегович** – старший викладач кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, м. Вінниця, e-mail: [Pinaev.bogdam@gmail.com](mailto:Pinaev.bogdam@gmail.com)

**Ishchuk Vladyslav Pavlovych** - student of the group RT-23b, Departments of Information Electronic Systems, Vinnytsia National Technical University, Vinnytsia, e-mail: [vlad.ischuck2006@gmail.com](mailto:vlad.ischuck2006@gmail.com)

**Pinaev Bohdan Olegovich** – Ph.D., Senior Lecturer of the Department of Information Radioelectronic Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, e-mail: [Pinaev.bogdam@gmail.com](mailto:Pinaev.bogdam@gmail.com)