

## ВИКОРИСТАННЯ ЦИФРОВИХ СЕНСОРІВ У БАГАТОКАНАЛЬНІЙ РАДІОТЕХНІЧНІЙ СИСТЕМІ НА FPGA ДЛЯ ЧАСТОТНИХ ПЕРЕТВОРЮВАЧІВ ФІЗИЧНИХ ВЕЛИЧИН ІЗ ЯДРОМ NIOS II

Вінницький національний технічний університет

### Анотація

Додано підтримку взаємодії із цифровими сенсорами до багатоканальної радіотехнічної системи частотних перетворювачів фізичних величин з використанням радіовимірювальних сенсорів на основі транзисторної структури з від'ємним диференціальним опором, із ядром NIOS II.

**Ключові слова:** I2C; FPGA; NIOS II; ПЛІС; цифрові сенсори; багатоканальна радіовимірювальна система; частотний перетворювач; транзисторна структура з від'ємним опором

### Abstract

Added support for interaction with digital sensors to the multi-channel radio engineering system of frequency converters of physical quantities using radio measuring sensors based on a transistor structure with a negative differential resistance, with a NIOS II core.

**Keywords:** I2C; NIOS II; FPGA; digital sensors; multi-channel radiomeasuring system; frequency transducer; transistor structure with negative resistance

### Вступ

На даний час важко знайти широко доступні рішення які б задовільнили вимоги, щодо одночасного вимірювання значень сенсорів з цифровими і частотними виходами. Сенсори із цифровими виходами більш поширені ніж із частотними, також різновидів цифрових сенсорів існує набагато більше ніж частотних. Можливість використання у багатоканальній радіотехнічній системі на FPGA для частотних перетворювачів фізичних величин [2], одночасно двох типів сенсорів, значно розширить спектр її можливих шляхів використання. Підтримка ядра NIOS II [1] дозволяє одночасно аналізувати значення із двох типів сенсорів і застосовувати до них різні алгоритми фільтрації і обробки.

### Результати розробки та дослідження

Для комунікації із цифровими сенсорами було обрано один із найпоширеніших протоколів - I2C [4]. Ця шина є однією з модифікацій послідовних протоколів обміну даних. У стандартному режимі забезпечується передача послідовних 8-бітних даних зі швидкістю до 100 кбіт/с, і до 400 кбіт/с в "швидкому" режимі. Для здійснення процесу обміну інформацією по I2C шині, використовується всього два сигнали лінія даних SDA лінія синхронізації SCL, рисунок 1. Проста двохпровідна послідовна шина I2C мінімізує кількість з'єднань між ІС, що призводить до зменшення об'єму комунікаційних сполучень. Як результат - друковані плати стають простішими і технологічними при виготовленні.

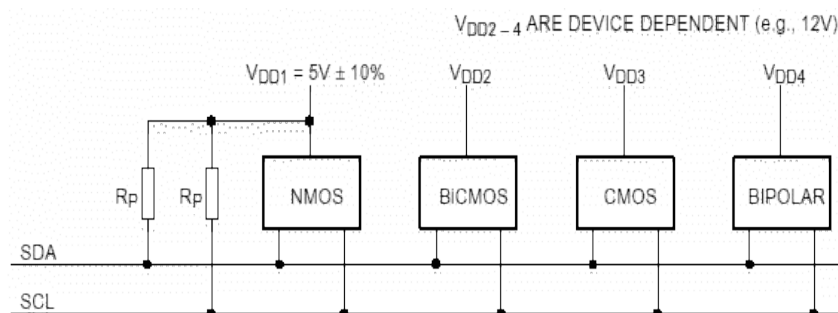


Рисунок 1 – Підключення декількох пристроїв до спільної шини

У попередній версії схеми, рисунок 2, вже було інтегровано ядро NIOS II і перероблено всі основні блоки під інтерфейси ядра [5]. Для інтеграції підтримки цифрових сенсорів у існуючу схему було виконано наступне: створено інтерфейс ядра для підтримки I2C блоку, реалізовано I2C протокол у вигляді окремого блоку для взаємодії із цифровими сенсорами, написано ПЗ для підтримки I2C у ядрі.

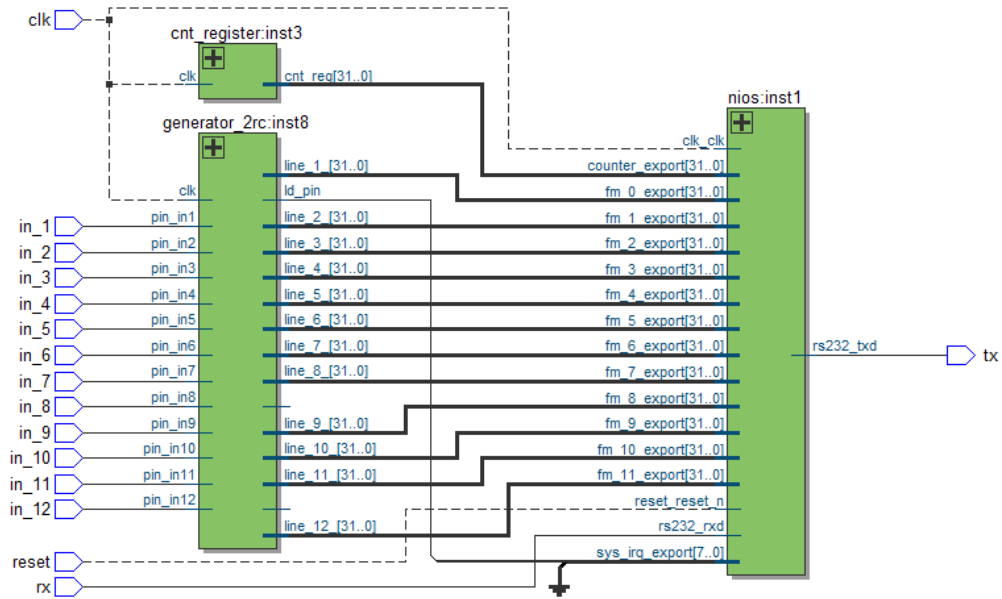


Рисунок 2 – Схема багатоканального частотоміра з використанням ядра NIOS II

Було створено I2C інтерфейс який реалізує I2C протокол, рисунок 3, у ядрі, для цього довелося повторно згенерувати блок ядра [3], рисунок 4

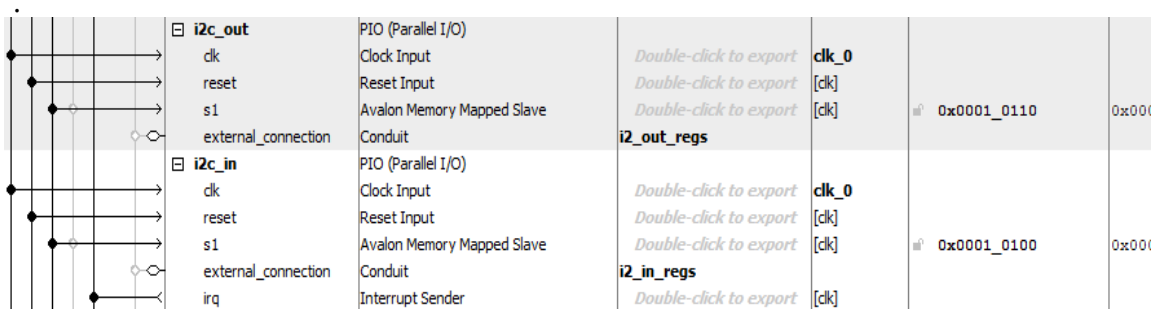


Рисунок 3– Графічне відображення інтерфейсу для блоку «I2C»

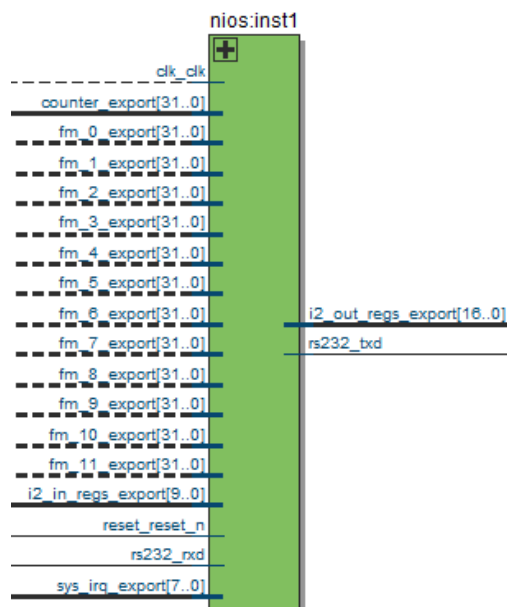


Рисунок 4 – Блок представлення мікропроцесорного ядра NIOS II і його елементів разом із I2C інтерфейсом

Реалізація I2C протоколу відсутня у стандартній бібліотеці [6], тому, він був реалізований апаратно у вигляді окремого системного блоку, рисунок 5.

Призначення входів/виходів:

1. clk – сигнал від зовнішнього тактового генератора;
2. reset\_n – очищення внутрішнього стану до початкових значень;
3. ena – керує дозволом на виконання транзакцій;
4. addr – 7-ми розрядна шина значення якої відповідають адресу веденого пристрою;
5. rw – вказує напрямком передачі даних;
6. data\_wr – 8-ми розрядна шина значення якої відповідає байту даних призначеного для відправки веденому;
7. busy – вказує на процес виконання транзакції;
8. data\_rd – 8-ми розрядна шина, яка зберігає зчитаний байт з веденого;
9. ack\_error – вказує на виникнення помилки під час транзакції;
10. sda – послідовна лінія даних;
11. scl – послідовна лінія тактування.

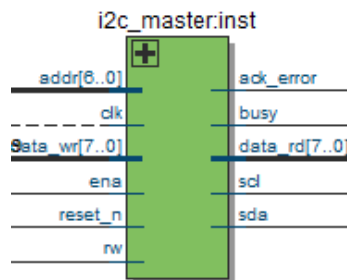


Рисунок 5– Блок реалізації I2C приймача/передавач

В кінцевому результаті було розроблено схему, рисунку 6, для приладу на основі FPGA фірми Altera Cyclone IV, який базується на мікропроцесорному ядрі NIOS II, має 12 вимірювальних каналів для сенсорів з частотним виходом, підтримує сенсори із цифровими виходами. Максимальна допустима кількість мікросхем, приєднаних до однієї I2C шини, обмежується максимальною ємністю шини яка становить 400 пФ. У якості вихідного інтерфейсу використовується цифровий протокол UART. Також для підтримки I2C протоколу і цифрових сенсорів було розроблено ПЗ яке доповнює попередню версію реалізації і дозволяє обробляти дані з частотомірів і цифрових сенсорів одночасно.

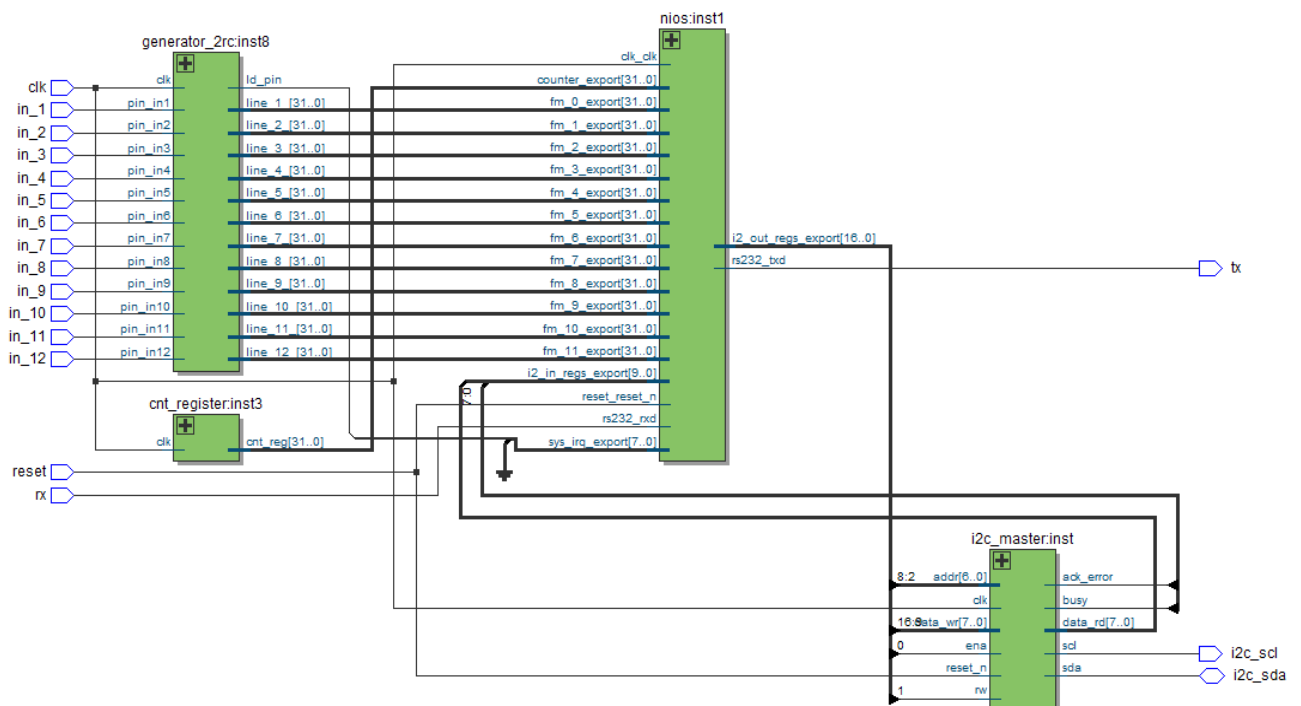


Рисунок 6 – Схема багатоканального частотоміра з використанням ядра NIOS II і підтримкою цифрових сенсорів

## Висновки

Інтегровано підтримку цифрових сенсорів у існуючу схему, створено інтерфейс ядра для підтримки I2C блоку, реалізовано I2C протокол у вигляді окремого блоку для взаємодії із цифровими сенсорами, написано ПЗ для підтримки I2C у ядрі. Можливість використання у багатоканальній радіотехнічній системі на FPGA для частотних перетворювачів фізичних величин, одночасно двох типів сенсорів, значно розширює спектр її можливих шляхів використання.

## СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Nios II Processor Reference Handbook. – San Jose: Altera, 2016. – 11 с.
2. Осадчук В. С., Осадчук А. В. Реактивные свойства транзисторов и транзисторных схем. - Винница: «Универсум-Винница», 1999. – 275 с.
3. Quartus Prime Standard Edition. [Електронний ресурс]: - Режим доступу: <https://fpgasoftware.intel.com/15.1/?edition=standard&platform=windows>
4. THE I2C-BUS SPECIFICATION. – Amsterdam: Philips Semiconductors, 1998.
5. Nios II Processor Reference Handbook. – San Jose: Altera, 2016. – 2 с.
6. Nios II Processor Reference Handbook. – San Jose: Altera, 2016. – 9 с.

**Осадчук Александр Владимирович** — докт. техн. наук, проф., зав. кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, osadchuk.av69@gmail.com

**Осадчук Ярослав Александрович** — канд. техн. наук, доцент кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет

**Скощук Валентин Костянтинович** — аспірант кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет

**Oleksandr Osadchuk** — Doc. Tech. Sc., prof. Head of Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine, osadchuk.av69@gmail.com

**Iaroslav Osadchuk** — Ph.D.Tech., Associate Professor Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine

**Valentyn Skoshchuk** — graduate student of the Department of Information Radio Engineering Technologies and Systems, Vinnytsia National Technical University, Vinnytsia, Ukraine